

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

© EPODOC / EPO

PN - DE19537361 A 19970410
PD - 1997-04-10
PR - DE19951037361 19951006
OPD - 1995-10-06
TI - Receiver clock recovery method for constant bit rate digital signal in ATM network
AB - The method involves using receiver side cell storage using FIFO memory, whose level is held at approximately half full in the middle by controlling the read-out clock frequency. The actual middle value of the level is computed for each time interval with its deviation from the half full state of the FIFO memory. Correction values are derived from the computed values and added to the control parameter. Up and down count comparisons of write and read clocks are used for monitoring the achieved level. An adder for adding a correction value to the detected level is inserted before the memory. The correction value is generated by a programmable component from the offset between the half full and achieved levels.
IN - LECHTERBECK MARC DIPL ING (DE)
PA - DEUTSCHE TELEKOM AG (DE)
EC - H04J3/06B6 ; H03L7/093
IC - H04L25/40 ; H04L7/00 ; H04L12/56
CT - DE4217911 A1 []; US5204882 A []; US5007070 A []
CTNP- [] WEIS,Bernd,X.: Delay And Delay Jitter In Mesochronous ATM-Systems, ITG-Fachbericht 107, vde-verlag gmbh, Berlin, Offenbach, 1989, S.161- S.166;
- [] RATHGEB,Erwin P.: Modeling and Performance Comparison of Policing Mechanisms for ATM Networks. In: IEEE Journal On Selected Areas In Communications, Vol9, No.3, April 1991, S.325-334
© WPI / DERWENT
TI - Receiver clock recovery method for constant bit rate digital signal in ATM network - storing cells in FIFO memory, whose level is held at about half full in middle by controlling read-out clock frequency and using programmable component to generate correction value from level offset
PR - DE19951037361 19951006
PN - DE19537361 A1 19970410 DW199720 H04L25/40 005pp
PA - (DEBP) DEUT TELEKOM AG

IC - H04L7/00 ;H04L25/40

IN - LECHTERBECK M

AB - DE19537361 The method involves using receiver side cell storage using FIFO memory, whose level is held at approximately half full in the middle by controlling the read-out clock frequency. The actual middle value of the level is computed for each time interval with its deviation from the half full state of the FIFO memory.

- Correction values are derived from the computed values and added to the control parameter. Up and down count comparisons of write and read clocks are used for monitoring the achieved level. An adder for adding a correction value to the detected level is inserted before the memory. The correction value is generated by a programmable component from the offset between the half full and achieved levels.

- ADVANTAGE - Eliminates level errors by ensuring that level of FIFO is at half when in middle.

- (Dwg.1/2)

OPD - 1995-10-06

AN - 1997-213899 [20]

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑩ **Offenlegungsschrift**
DE 195 37 361 A 1

⑤① Int. Cl.⁸:
H 04 L 25/40
H 04 L 7/00
// H 04 L 12/58

②① Aktenzeichen: 195 37 361.8
②② Anmeldetag: 6. 10. 95
②③ Offenlegungstag: 10. 4. 97

DE 195 37 361 A 1

⑦① Anmelder:
Deutsche Telekom AG, 53113 Bonn, DE

⑦② Erfinder:
Lechterbeck, Marc, Dipl.-Ing., 64295 Darmstadt, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

DE 42 17 911 A1
US 52 04 882
US 50 07 070

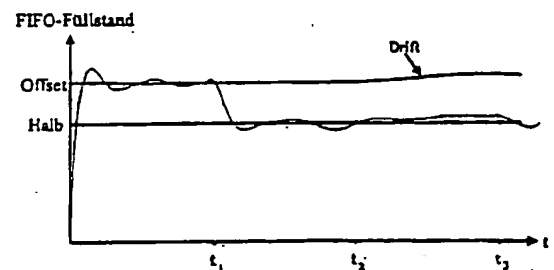
WEIS, Bernd, X.: Delay And Delay Jitter In
Mesochronous ATM-Systems, ITG-Fachbericht 107,
vde-verlag gmbh, Berlin, Offenbach, 1989, S.161-
S.166;

RATHGEB, Erwin P.: Modeling and Performance
Comparison of Policing Mechanisms for ATM
Networks. In: IEEE Journal On Selected Areas In
Communications, Vol.9, No.3, April 1991, S.325-334;

⑤④ Verfahren und Vorrichtung zur empfangsseitigen Taktrückgewinnung für Digitalsignale mit konstanter Bitrate

⑤⑦ Bei den bekannten Verfahren und Vorrichtungen zur empfangsseitigen Taktrückgewinnung für Digitalsignale mit konstanter Bitrate besteht das Problem, daß die Werte des erzeugten Lesetaktes um einen Mittelwert schwanken und der eingeregelter Zustand jeden Wert zwischen dem leeren und vollen FIFO-Füllstand annehmen kann.

Mit der Erfindung wird eine zusätzliche Korrekturgröße $\hat{O}(t)$ erzeugt und zur Steuergröße F_i addiert, die aus der Abweichung des tatsächlichen Füllstandes des FIFO-Speichers vom anzustrebenden halbvollen Zustand berechnet wird. Die Anwendung ist für die empfangsseitige Taktrückgewinnung für Digitalsignale mit konstanter Bitrate nach zellstrukturierter asynchroner Übertragung, insbesondere über ein ATM-Netz, mit unterschiedlichen Pausen zwischen den Zellen und mit empfangsseitiger Zellenspeicherung unter Benutzung eines FIFO-Speichers geeignet.



DE 195 37 361 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren der im Oberbegriff des Patentanspruchs 1 und eine Vorrichtung der im Oberbegriff des Patentanspruchs 2 näher bezeichneten Art. Derartige Verfahren und Vorrichtungen zur Takt-
rückgewinnung eines Signals konstanter Bitrate, welches über ein ATM-Netz übertragen worden ist, sind z. B.
aus DE-Anm. 19509 484.0 bekannt.

Bei dem bekannten Verfahren zur adaptiven Taktückgewinnung besteht das Problem, die Schreibtaktfrequenz f_1 , mit der die Daten auf der Sendeseite gesendet werden und die sowohl von der vorgesehenen Taktfrequenz $f_{\text{ Soll}}$ abweichen als auch eine zeitliche Drift aufweisen kann, auf der Empfangsseite aus in Paketform ankommenden Daten zurückzugewinnen. Dazu werden die Daten empfangsseitig in einen FIFO geschrieben, bis dieser halb gefüllt ist, und werden dann mit der Lesetaktfrequenz f_2 ausgelesen. Diese Lesetaktfrequenz f_2 muß im Toleranzbereich des Oszillators auf der Sendeseite liegen, stimmt jedoch im allgemeinen nicht mit der Schreibtaktfrequenz f_1 überein, insbesondere dann nicht, wenn f_1 einer zeitlichen Drift unterliegt.

Daher kann, wenn die Lesetaktfrequenz f_2 unverändert bestehen bleibt, das FIFO entweder voll- ($f_2 < f_1$) oder leerlaufen ($f_2 > f_1$), d. h. auf der Empfangsseite treten Datenverluste auf. Um dies zu verhindern, wird der Füllstand des FIFO als Regelgröße für den die Lesetaktfrequenz f_2 erzeugenden VCO verwendet. Aufgrund der Paketstruktur der Daten und der Variation der Laufzeiten der einzelnen Pakete schwankt der Füllstand des FIFO recht stark, würde man den Füllstand daher direkt als Regelgröße verwenden, ergäbe sich ein sehr starker Jitter für die Lesetaktfrequenz f_2 . Die FIFO-Füllstände werden daher tiefpaßgefiltert, was sich am einfachsten durch eine gleitende Mittelung (Moving-Window) gemäß

$$U_n = \frac{1}{m+1} \sum_{i=n-m}^n F_i$$

erreichen läßt. Hier ist U_n die digitale Regelgröße für den VCO und F_i ist der Füllstand des FIFO zum i ten Absatz-Zeitpunkt.

Im eingeschwungenen Zustand ändert sich die Regelgröße U_n des VCO aufgrund der Tiefpaßfilterung nur noch geringfügig und es gilt nahezu $f_2 = f_1$. Das bedeutet jedoch auch, daß die Werte F_i um einen Mittelwert F_{Offset} schwanken und daß dieser Wert im allgemeinen, je nach Abweichung von f_2 zu f_1 zu Beginn der Regelung, jeden Wert zwischen dem leeren und vollen FIFO-Füllstand annehmen kann.

Da dies ein Nachteil der bekannten Verfahren ist, besteht die Aufgabe der Erfindung darin, solche Füllstandsfehler auszugleichen, und zu gewährleisten, daß der Füllstand des FIFO im Mittel auf der Hälfte steht.

Die Erfindung löst diese Aufgabe mit der im Kennzeichen des Patentanspruchs 1 beschriebenen Verfahrensweise.

Eine geeignete Vorrichtung zur Realisierung einer solchen Verfahrensweise ist im Kennzeichen des Patentanspruchs 2 beschrieben.

Die Erfindung und deren Wirkungsweise wird näher im nachfolgenden Ausführungsbeispiel beschrieben. In den zugehörigen Zeichnungen zeigen die:

Fig. 1a den FIFO-Füllstand ohne zusätzliche Regelung,

Fig. 1b den FIFO-Füllstand mit zusätzlicher Regelung,

Fig. 2 ein Blockschaltbild zur Vorrichtung.

Sinn der folgenden beschriebenen Erfindung ist neben der Stabilisierung der Frequenz auch die Regelung des FIFO-Füllstandes auf den Wert halbvoll (Vergleich der Darstellungen in Fig. 1a und 1b). Die Idee beruht darauf, den Wert F_{Offset} möglichst genau zu schätzen und dann im Regelungsalgorithmus den Unterschied zum gewünschten Mittelwert F_H zu kompensieren.

Dazu wird in dem Intervall $[t_{x-1}, t_x]$ jeweils der Mittelwert des FIFO-Füllstandes berechnet, und die Differenz zum halbvollen FIFO zum alten Offset aufgeschlagen, d. h.

$$\hat{O}_0 = 0$$

$$\hat{O}_x = \hat{O}_{x-1} = \frac{1}{N(t_x) - N(t_{x-1})} \sum_{j=N(t_{x-1})+1}^{N(t_x)} F_j - F_H$$

Durch die Modifikation der Regelungsvorschrift gemäß

$$U_n = \frac{1}{m+1} \sum_{i=n-m}^n F_i + \hat{O}(i)$$

wird erreicht, daß sich der FIFO-Füllstand auf den Wert F_H einpendelt. Hier ist $\hat{O}(i)$ jeweils der Offset, der zum Abtastzeitpunkt i gilt (Bild 2)

Die Berechnung des Offset erfolgt nach dem Jumping-Window-Prinzip, da nach einem Schätzintervall die alten FIFO-Werte nicht mehr in die Berechnung des neuen oder verbliebenen Offsets aufgenommen werden dürfen (deren Offset wird bereits kompensiert).

Das Intervall $[t_{x-1}, t_x]$ sollte im Vergleich zu der Dauer von $m+1$ Abtastwerten für die Regelung um mindestens eine Größenordnung größer sein, um eine gute Schätzung des Offsets zu liefern. Ein zu großes Intervall hat jedoch den Nachteil, daß der erste Offset, welcher am weitesten von F_H entfernt liegen wird, erst nach einiger Zeit ausgeregelt werden kann. Denkbar wäre auch eine Lösung mit variierenden Intervallen, d. h. zu Beginn wird ein kleineres Intervall gewählt, um möglichst schnell, aber ungenauer den Offset auszugleichen, während später ein langes Intervall reicht, um den Langzeiteffekt einer Frequenzdrift zu kompensieren, bzw. den Offset genauer zu kompensieren.

Obwohl zu Beginn der Regelung immer starke Taktschwankungen zu erwarten sind, kann die Tatsache, daß die Addition des Offsets zu den Füllständen (siehe Regelungsalgorithmus) gerade für kleine in zu einer sprunghaften Änderung der Regelgröße U_n führt, unerwünscht hohe Taktschwankungen verursachen. Dies kann vermieden werden, indem nicht direkt der gesamte berechnete neue Offsetanteil aufgeschaltet wird, sondern zunächst nur ein Bruchteil, der dann stufenweise erhöht wird. Konkret heißt das, daß $\hat{O}(i)$ in diesem Fall nicht immer mit dem jeweils aktuellen \hat{O}_x übereinstimmen muß. Nachteilig ist jedoch hierbei, daß bis Kompensation des gesamten Offset die Berechnung eines neuen oder verbliebenen Offsets ausgesetzt werden muß, da sonst Verfälschungen des Ergebnisses auftreten (Jumping-Window).

Weiterhin ist es vorteilhaft auch möglich, auf eine weitere Korrektur des Offsets zu verzichten, solange er sich in bestimmten Toleranzen befindet, z. B. 5% von der Mitte.

Dadurch kann die ständige Nachregelung minimaler Abweichungen vermieden werden.

Das in der Fig. 2 dargestellt Blockschaltbild geht von den erwähnten bekannten Verfahren und Vorrichtungen aus und ist demgegenüber durch einen Addierer und einen vom Benutzer frei programmierbaren Baustein \hat{O} ergänzt.

Der FIFO-Füllstand wird durch Auf- (Write Clock) bzw. Abzählen (Read Clock) in dem Vergleichler abgebildet. Im programmierbaren Baustein \hat{O} ist als Offset Evaluator ein Teil bezeichnet, in dem nur der Mittelwert des Füllstandes in einem Zeitintervall berechnet wird. Der zweite Teil des programmierbaren Bausteines \hat{O} , der als Offset Logic bezeichnet ist, entscheidet, z. B. in Abhängigkeit vom in, welcher Wert zu den aktuellen Füllständen addiert wird.

Jeweils die letzten in $+1$ Werte werden in einem RAM gespeichert, die fortlaufend gemittelt (Adder und Divider) und zur Berechnung der Regelgröße U_n genutzt werden. Diese wird anschließend natürlich noch in ein analoges Steuersignal für den VCO gewandelt.

Neu im Vergleich zu den bekannten Verfahren ist der programmierbare Baustein \hat{O} mit dem Offset Evaluator und der Offset Logic und die Einwirkung des berechneten Wertes auf die Regelgröße.

Patentansprüche

1. Verfahren zur empfangsseitigen Taktrückgewinnung für Digitalsignale mit konstanter Bitrate nach zellstrukturierter asynchroner Übertragung, insbesondere über ein ATM-Netz, mit unterschiedlichen Pausen zwischen den Zellen, mit empfangsseitiger Zellenspeicherung unter Benutzung eines FIFO-Speichers, dessen Füllstand durch Steuerung der Auslese-Taktfrequenz im Mittel auf etwa halbvoll gehalten wird, dadurch gekennzeichnet, daß der tatsächliche Mittelwert des Füllstandes in einem Zeitintervall i mit dessen Abweichung vom halbvollen Zustand F_H des FIFO-Speichers F_{Offset} jeweils berechnet und daraus Korrekturgrößen $\hat{O}(i)$ gebildet werden, die danach zur Steuergröße F_1 addiert werden.

2. Vorrichtung zur empfangsseitigen Taktrückgewinnung für Digitalsignale mit konstanter Bitrate mit einem FIFO-Speicher, einem Auf- und Abwärtszählverleicher von dessen Schreib- und Lesetakt zur Kontrolle des erreichten Füllstandes F_1 , Speicherung, Tiefpaßfilterung, Digital-Analogwandlung und einem spannungsgesteuerten Oszillator für die Lesetakterzeugung, dadurch gekennzeichnet, daß vor dem Speicher ein Addierer für eine Korrekturgröße $\hat{O}(i)$ zum ermittelten Füllstand F_1 eingefügt ist, die von einem programmierbaren Baustein \hat{O} aus der Berechnung des Offset zwischen halbvollem und erreichtem Füllstand erzeugt ist.

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

THIS PAGE BLANK (USPTO)

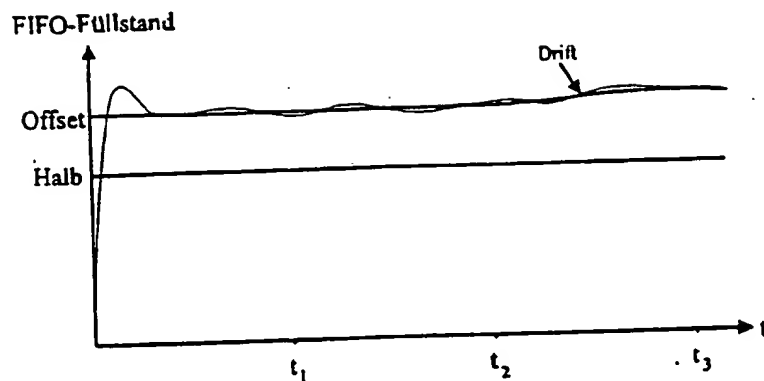


Fig. 1a

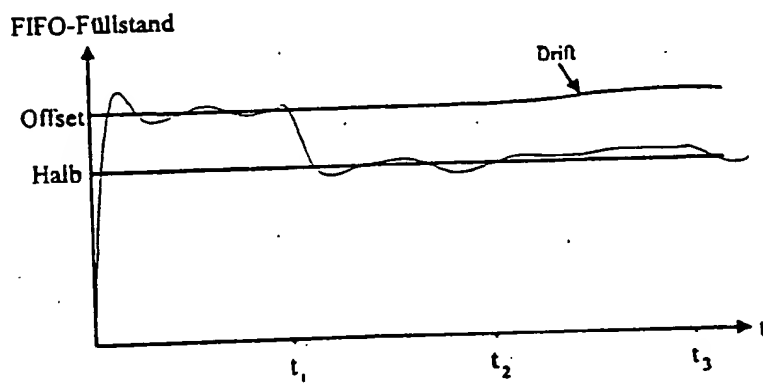


Fig. 1b

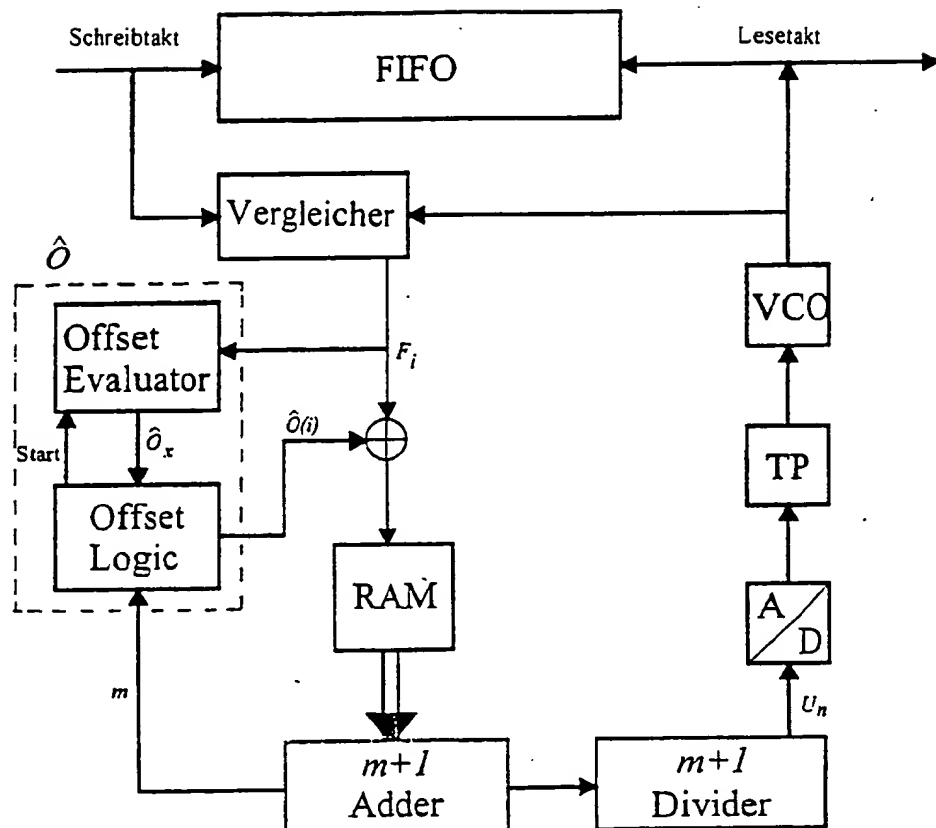


Fig. 2